

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-270027

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H04L 25/02
G06F 1/08
G06F 1/12
G06F 13/42
H03L 7/08
H04L 25/40

(21)Application number : 2000-006013

(71)Applicant : ALTERA CORP

(22)Date of filing : 07.01.2000

(72)Inventor : SUNG CHIAKANG
WANG BONNIE I
CLIFF RICHARD G

(30)Priority

Priority number : 99 115215
99 368464

Priority date : 08.01.1999
04.08.1999

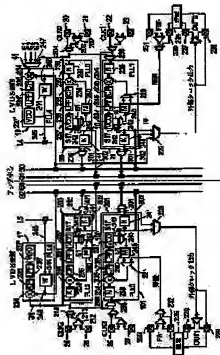
Priority country : US
US

(54) LOW VOLTAGE DIFFERENTIAL SIGNAL INTERFACE INCORPORATED WITH PHASE LOCKED LOOP CIRCUIT USED IN A PROGRAMMABLE LOGIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain accurate input/output timing by generating clock signals with 1st and 2nd input clock speeds at an input phase locked loop circuit and selecting the 1st input speed to be a multiple of the 2nd input speed.

SOLUTION: PLL circuits 18, 19 include three programmable measurement counters 239, 240, 241. The measurement counter 239 applies $1/N$ frequency-division to any input signal, where N is an integer. The feedback measurement counter 240 receives an integer M from a multiplexer 243 to divide a frequency of a feedback signal to be given to a phase/frequency detector 234. The result is that its output signal is multiplied with a multiple of M . A post-stage measurement counter 241 provides an integer K which divides a frequency of the output signal. Thus, an output signal at an output point 301 and at an output point 302 has a frequency equal to a multiple of M/N of the input frequency 238 respectively.



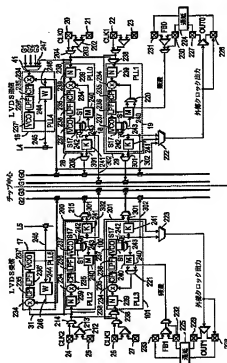
(51) Int.Cl. ⁷	識別記号	F I	メモータム (参考)
H 0 4 L 25/02		H 0 4 L 25/02	R
G 0 6 F 1/08		G 0 6 F 13/42	3 5 0 A
		H 0 4 L 25/40	B
	3 5 0	G 0 6 F 1/04	3 2 0 A
H 0 3 L 7/08			3 4 0 D
審査請求 未請求 請求項の数44 O L (全 16 頁) 最終頁に続く			
(21) 出願番号	特開2000-6013(P2000-6013)	(71) 出願人	594110103
(22) 出願日	平成12年1月7日 (2000.1.7)		アルテラ・コーポレーション アメリカ合衆国・95134・カリフォルニア 州・サン ホセ・イノベーション ドライ ブ・101
(31) 優先権主張番号	6 0 / 1 1 5 2 1 5	(72) 発明者	チャカン スン
(32) 優先日	平成11年1月8日 (1999.1.8)		アメリカ合衆国、カリフォルニア 95134、 サン ホセ、イノベーション ドライブ 101、ケアオブ アルテラ コーポレーシ ョン
(33) 優先権主張国	米国 (US)	(74) 代理人	100064012
(31) 優先権主張番号	0 9 / 3 6 8 4 6 4		弁理士 浜田 治雄
(32) 優先日	平成11年8月4日 (1999.8.4)		
(33) 優先権主張国	米国 (US)		
最終頁に続く			

(54) 【発明の名称】 プログラム可能なロジックデバイス内で使用するための位相ロックループ回路を組み込む低電圧差動信号インタフェース

(57) 【要約】

【課題】 正確な入力/出力タイミングの為の位相ロックループ回路を含むプログラム可能なロジックデバイスの為のLVDSインタフェースを提供する。

【解決手段】 プログラム可能なロジックデバイスのためのLVDSインタフェースは、データ入力と出力のためのデータクロックを提供するために、位相ロックループ (PLL) を使用する。PLLクロックはかなり正確であり、倍数と非倍数のクロックが利用可能であるために、W倍のカウンタをそれぞれ含む。倍数クロックはシリアルにシフトレジスタチェーンの内部、または外部でクロックデータとして使用される。非倍数クロックは並列にシフトレジスタチェーン内で、レジスタのロードまたは読み出しに使用される。単体PLLから倍数と非倍数の両方のクロックを提供することにより、クロックが正確な相関関係にあることを保持され、従って、シリアルの入力または出力、およびパラレルのロードまたはアンロードが正確に同期する。



【特許請求の範囲】

【請求項1】 プログラム可能なロジックデバイスのための L V D S 入力インタフェースであって、前記プログラム可能なロジックデバイスは複数の信号導線を有し、前記 L V D S インタフェースは：入力 L V D S 信号を受ける入力端子の対を備え、前記入力 L V D S 信号をデータビットのシリアルな流れを含むデータ信号に変換するための L V D S 差動入力ドライバを備え、前記データビットのシリアルな流れを受けるシフトレジスタ入力を有する所定数のシフトレジスタを備え、各シフトレジスタはそれぞれシフトレジスタ出力を有し、前記所定数の第二レジスタを備え、この所定数の第二レジスタのそれぞれが前記シフトレジスタの出力の一つと結合した入力と前記信号導線の一つと結合した登録出力を有し、第一と第二の入力クロック速度を有する第一と第二の入力クロック信号を生成する入力位相クロック回路を備え、前記第一の入力クロック速度が第二の入力速度の整数倍であるとともにこの整数が前記所定数に等しくなり、前記第一の入力クロック信号は、前記第一シフトレジスタ内への前記データビットのシリアルな流れのシフトを制御し、前記第二のクロック信号は、前記第二のレジスタの前記入力から前記第二のレジスタの前記出力への前記データビットの登録を制御し、それによって、前記第二クロック信号の各周期上において、前記シフトレジスタ出力によって前記第二のレジスタの前記入力へ付加された、現存する前記所定数のデータビット集合が、前記信号導線上传導するために前記第二のレジスタの前記出力へ登録され、前記第一入力クロック信号は、前記所定数の周期にわたって継続し、前記シフトレジスタ内への前記所定数のデータビットの新しい集合を記録し、そこでそれらは前記第二のレジスタの前記入力へ伝導される L V D S 入力インタフェース。

【請求項2】 前記第二クロック速度が少なくとも約 6 2 2 M H z ままである請求項1記載の L V D S インタフェース。

【請求項3】 前記第二クロック速度が約 4 6 2 M H z である請求項2記載の L V D S インタフェース。

【請求項4】 前記所定数が7であり前記第一のクロック速度が約 6 6 M H z である請求項3記載の L V D S インタフェース。

【請求項5】 前記第二クロック速度が約 6 2 2 M H z である請求項2記載の L V D S インタフェース。

【請求項6】 前記所定数が8であり前記第一のクロック速度が約 7 7 . 7 5 M H z である請求項5記載の L V D S インタフェース。

【請求項7】 前記入力位相クロック回路が：入力周波数を有する入力クロック信号を受けるクロック入力端子と、前記クロック入力端子、位相検出入力および信号出力と接続される信号入力を有する位相/周波数検出器と；前記位相/周波数検出器の前記信号出力と接続さ

れたポンプ入力を有し、ポンプ出力を有するチャージポンプと；前記ポンプ出力と接続されたフィルタ入力を有し、フィルタ出力を有するローパスフィルタと；前記フィルタ出力と接続される発振器入力と、前記位相クロックの第一のクロック出力である発振器出力とを有する電圧制御発振器と；前記所定数が付加されるフィードバック計測カウンタを備えるとともに前記発振器出力が前記所定数が乗じられた前記入力周波数に等しい出力周波数を有することを誘起し、前記位相検出入力へフィードバック信号を提供するためのフィードバックループと；前記第一のクロック出力と位相ロック関係にある前記入力周波数に等しい周波数を有する、前記位相クロックの第二のクロック出力を提供するための、前記カウンタの下流にある前記フィードバックループからのバイパス出力と；からなる請求項1記載の L V D S インタフェース。

【請求項8】 複数の信号導線を有するプログラム可能なロジックデバイスのための L V D S 出力インタフェースであり、前記インタフェースは：所定数の第一のレジスタを備え、前記所定数の第一レジスタ内の各レジスタは前記信号導線の一つと結合した入力と登録出力とを有し、前記所定数のシフトレジスタを備え、前記所定数のシフトレジスタのうちの各シフトレジスタは前記登録出力の一つに結合された入力を有し、前記所定数のシフトレジスタはデータビットのシリアルな流れを供給するためのシフトレジスタ出力を有し、第一と第二の出力クロック速度を有する第一と第二の出力クロック信号を生成する出力位相クロック回路を備え、前記第二の出力クロック速度が第一の出力クロック速度の整数倍であるとともにこの整数が前記所定数に等しくなり、前記データビットのシリアルな流れを出力 L V D S 信号に変換するための L V D S 差動出力ドライバを備え、前記出力 L V D S 信号を提供するための出力端子の対を備え、前記第一の出力クロック信号は、前記データビットが前記シフトレジスタの入力に伝送された際に、前記第一のレジスタの入力から前記登録出力への前記データビットの登録を制御し、前記第二の出力クロック信号は前記シフトレジスタからデータビットのシリアルな流れとして前記データビットのシフトを制御し、これによって、前記出力クロック信号の各周期上において、前記第二の出力クロック信号は前記所定数の周期にわたって継続し、前記シフトレジスタからの前記所定数のデータビットを前記データビットのシリアルな流れとして制御し、前記信号導線によって既に前記第一のレジスタ内に伝送された前記所定数のデータビットはこれらがシフトレジスタに伝送された際に前記第一のレジスタの登録出力に登録され、この間に前記所定数のデータビットの新規の集合が前記信号導線によって前記第一のレジスタの前記入力に伝送される L V D S 出力インタフェース。

【請求項9】 前記第二のクロック速度が、少なくとも

約62.2MHzまでである請求項8記載のLVDSインタフェース。

【請求項10】 前記第二のクロック速度が、約46.2MHzである請求項9記載のLVDSインタフェース。

【請求項11】 前記所定数が7であり、前記第一のクロック速度が、約66MHzである請求項10記載のLVDSインタフェース。

【請求項12】 前記第二のクロック速度が、約62.2MHzである請求項9記載のLVDSインタフェース。

【請求項13】 前記所定数が8であり、前記第一のクロック速度が、約77.75MHzである請求項12記載のLVDSインタフェース。

【請求項14】 前記出力位相ロックアップ回路が：入力周波数を有する入力クロック信号を受けるクロック入力端子と；前記クロック入力端子、位相検出入力および信号出力と接続される信号入力を受ける位相/周波数検出器と；前記位相/周波数検出器の前記信号出力と接続されたポンプ入力とを有し、ポンプ出力を有するチャージポンプと；前記ポンプ出力と接続されたフィルタ入力を有し、フィルタ出力を有するローパスフィルタと；前記フィルタ出力と接続される発振器入力と、前記位相ロックアップの第一のクロック出力である発振器出力とを有する電圧制御発振器と；前記所定数が付加されるフィードバック計測カウンタを備えるとともに前記発振器出力が前記所定数が乗じられた前記入力周波数に等しい出力周波数を有することを誘起し、前記位相検出入力へフィードバック信号を提供するためのフィードバックループと；前記第一のクロック出力と位相ロック関係にあるが前記入力周波数に等しい周波数を有する、前記位相ロックアップの第二のクロック出力を提供するための、前記カウンタの下流にある前記フィードバックループからのバイパス出力と；からなる請求項8記載のLVDSインタフェース。

【請求項15】 プログラム可能なロジックデバイスであって、複数のプログラム可能なロジック領域と；前記複数のプログラム可能なロジック領域から、または内部を信号が伝導する複数の導線と；LVDS入力インタフェースとを備えてなり、このLVDS入力インタフェースは：入力LVDS信号を受ける入力端子の対を備え；前記入力LVDS信号を入力データビットのシリアルな流れを含むデータ信号に変換するためのLVDS差動入力ドライバを備え；前記入力データビットのシリアルな流れを受ける入力シフトレジスタ入力を有する第一の所定数の入力シフトレジスタを備え、各入力シフトレジスタはそれぞれ入力シフトレジスタ出力を有し；前記第一の所定数の第二入力レジスタを備え、この第二の所定数の第二入力レジスタのうちのそれぞれが前記入力シフトレジスタの出力の一つと結合した入力と前記信号導線の一つと結合した登録出力を有し；第一と第二の入力クロック速度を有する第一と第二の入力クロック信号を生成

する入力位相ロックアップ回路を備え、前記第一の入力クロック速度が第二の入力速度の第一の整数倍であるとともにこの第一の倍数が前記第一の所定数に等しくなり；前記第一の入力クロック信号は、前記入力シフトレジスタ内への前記入力データビットのシリアルな流れのシフトを制御し；前記第二のクロック信号は、前記第二の入力レジスタの前記入力から前記第二の入力レジスタの前記出力への前記入力データビットの登録を制御し；それによって：前記第二クロック信号の各周期上において：前記入力シフトレジスタ出力によって前記第二の入力レジスタの前記入力へ既に付加された、現存する前記第一の所定数の入力データビットの集合が、前記信号導線へ伝導するために前記第二の入力レジスタの前記出力へ登録され；前記第一入力クロック信号は、前記第一の整数の周期にわたって継続し、前記入力シフトレジスタ内への前記第一の整数の入力データビットの新しい集合を記録し、そこでそれらは前記第二の入力レジスタの前記入力へ伝導されるLVDS入力インタフェース。

【請求項16】 前記入力位相ロックアップ回路が：入力周波数を有する入力クロック信号を受ける入力クロック入力端子と；前記入力クロック入力端子、入力位相検出入力および入力信号出力と接続される信号入力を有する入力位相/周波数検出器と；前記入力位相/周波数検出器の前記信号出力と接続された入力ポンプ入力を有し、入力ポンプ出力を有する入力チャージポンプと；前記入力ポンプ出力と接続された入力フィルタ入力を有するとともにフィルタ出力を有する入力ローパスフィルタと；前記入力フィルタ出力と接続される入力発振器入力と、前記入力位相ロックアップの第一の入力クロック出力である入力発振器出力とを有する入力電圧制御発振器と；前記第一の整数が付加される入力フィードバック計測カウンタを備えるとともに前記入力発振器出力が前記第一の整数が乗じられた前記入力クロック入力周波数に等しい入力クロック出力周波数を有することを誘起し、前記入力位相検出入力へフィードバック信号を提供するための入力フィードバックループと；前記第一の入力クロック出力と位相ロック関係にあるが前記入力周波数に等しい周波数を有する、前記入力位相ロックアップの第二の入力クロック出力を提供するための、前記入力フィードバック計測カウンタの下流にある前記入力フィードバックループからの第一バイパス出力と；からなる請求項15記載のプログラム可能なロジックデバイス。

【請求項17】 第二の所定数の第一の出力レジスタを備え、前記第二の所定数の第一の出力レジスタ内の各レジスタは前記信号導線の一つと結合した入力と登録出力とを有し；前記第二の所定数の出力シフトレジスタを備え、前記第二の所定数の出力シフトレジスタのうちの各出力シフトレジスタは前記出力レジスタの登録出力の一つに結合された入力を有し、前記第二の所定数の出力シフトレジスタは出力データビットのシリアルな流れを供

給するための出力シフトレジスタ出力を有し；第一と第二の出力クロック速度を有する第一と第二の出力クロック信号を生成する出力位相ロッケループ回路を備え、前記第二の出力クロック速度が第一の出力クロック速度の第二の整数倍であるとともにこの第二の倍数が前記第二の所定数に等しくなり；前記の出力データビットのシリアルな流れを出力 L V D S 信号に変換するための L V D S 差動出力ドライバを備え；前記出力 L V D S 信号を提供するための出力端子の対を備え；前記第一の出力クロック信号は、前記出力データビットが前記出力シフトレジスタの入力に伝送された際に、前記第一の出力レジスタの前記入力から前記出力レジスタの前記登録出力への前記出力データビットの登録を制御し；前記第一の出力クロック信号は前記出力シフトレジスタから出力データビットのシリアルな流れとして前記出力データビットのシフトを制御し；これによって、前記出力クロック信号の各周期上において、前記第二の出力クロック信号は前記第二の所定数の周期にわたって継続し、前記出力シフトレジスタからの前記第二の所定数の出力データビットを前記出力データビットのシリアルな流れとして制御し；前記信号導線によって既に前記第一の出力レジスタ内に伝送された前記第二の所定数の出力データビットはこれらが出力シフトレジスタに伝送された際に前記第一の出力レジスタの前記登録出力に登録され、この間に前記第二の所定数の出力データビットの新規の集合が前記信号導線によって前記第一の出力レジスタの前記入力に伝送される、

L V D S 出力インタフェースからなる請求項 1 記載のプログラム可能なロジックデバイス。

【請求項 8】 前記出力位相ロッケループ回路が：出力クロック入力周波数を有する出力クロック入力信号を受ける出力クロック入力端子と；前記出力クロック入力端子、出力位相検入出力および出力信号出力に接続される出力信号入力を有する出力位相／周波数検出器と；前記出力位相／周波数検出器の前記信号出力と接続された出力チャージポンプを有し、出力ポンプ出力を有する出力チャージポンプと；前記出力ポンプ出力と接続された出力フィルタ入力を有し、出力フィルタ出力を有する出力ローパスフィルタと；前記出力フィルタ出力と接続される出力発振器入力と、前記出力位相ロッケループの第一のクロック出力である出力発振器出力とを有する出力電圧制御発振器と；前記第二の所定数が付加される出力フィードバック計測カウンタを備えるとともに前記出力発振器出力が前記第二の所定数が乗じられた前記出力クロック入力周波数に等しい出力クロック出力周波数を有することを誘起し、前記出力位相検入出力へフィードバック信号を提供するための出力フィードバック信号と；前記第一のクロック出力と位相ロッケループ関係にある前記出力クロック入力周波数に等しい周波数を有する、前記出力位相ロッケループの第二のクロック出力を提供するた

めの、前記出力フィードバック計測カウンタの下流にある前記出力フィードバックループからの出力バイパス出力と；からなる請求項 1 記載のプログラム可能なロジックデバイス。

【請求項 19】 プログラム可能なロジックデバイスであって；複数のプログラム可能なロジック領域と；前記複数のロジック領域の内部またはその内外へ信号を伝導するための複数の導線と；L V D S 出力インタフェースとを備え、この出力インタフェースは；所定数の第一のレジスタを備え、前記所定数の第一レジスタ内の各レジスタは前記信号導線の一つと結合した入力と登録出力とを有し、

前記所定数のシフトレジスタを備え、前記所定数のシフトレジスタのうちの各シフトレジスタは前記登録出力の一つに結合された入力を有し、前記所定数のシフトレジスタはデータビットのシリアルな流れを供給するためのシフトレジスタ出力を有し、

第一と第二の出力クロック速度を有する第一と第二の出力クロック信号を生成する出力位相ロッケループ回路を備え、前記第二の出力クロック速度が第一の出力クロック速度の整数倍であるとともにこの整数が最大でも前記所定数に等しくなり、

前記のデータビットのシリアルな流れを出力 L V D S 信号に変換するための L V D S 差動出力ドライバを備え、前記出力 L V D S 信号を提供するための出力端子の対を備え；前記第一の出力クロック信号は、前記データビットが前記シフトレジスタの入力に伝送された際に、前記第一のレジスタの入力から前記登録出力への前記データビットの登録を制御し；前記第二の出力クロック信号は前記シフトレジスタからのデータビットのシリアルな流れとして前記データビットのシフトを制御し；これによって、前記出力クロック信号の各周期上において、前記第二の出力クロック信号は前記整数の周期にわたって継続し、前記シフトレジスタからの前記整数のデータビットを前記データビットのシリアルな流れとして制御し；前記信号導線によって既に前記第一のレジスタ内に伝送された前記整数のデータビットはこれらがシフトレジスタに伝送された際に前記第一のレジスタの登録出力に登録され、この間に前記整数のデータビットの新規の集合が前記信号導線によって前記第一のレジスタの前記入力に伝送されるプログラム可能なロジックデバイス。

【請求項 20】 前記出力位相ロッケループ回路が：クロック入力周波数を有するクロック入力信号を受けるクロック入力端子と；前記クロック入力端子、位相検入出力および信号出力に接続される信号入力を有する位相／周波数検出器と；前記位相／周波数検出器の前記信号出力と接続されたポンプ入力を有し、ポンプ出力を有するチャージポンプと；前記ポンプ出力と接続されたフィルタ入力を有し、フィルタ出力を有するローパスフィルタと；前記フィルタ出力と接続される発振器入力と、前記

位相ロックループの第一のクロック出力である発振器出力とを有する電圧制御発振器と；前記整数が付加されるフィードバック計測カウンタを備えるとともに前記発振器出力が前記整数が乗じられた前記クロック入力周波数に等しいクロック出力周波数を有することを誘起し、前記位相相出力フィードバック信号を返送するためのフィードバックループと；前記第一のクロック出力と位相ロック関係にある前記クロック入力周波数に等しい周波数を有する、前記位相ロックループの第二のクロック出力を提供するための、前記フィードバック計測カウンタの下流にある前記フィードバックループからのパイパス出力と；かかる請求項 19 記載のプログラム可能なロジックデバイス。

【請求項 21】 デジタル演算処理システムであって：演算処理回路と；前記演算処理回路と接続されたメモリと；演算処理回路とメモリと接続された請求項 15 記載のプログラム可能なロジックデバイスとからなるデジタル演算処理システム。

【請求項 22】 デジタル演算処理システムであって：演算処理回路と；前記演算処理回路と接続されたメモリと；演算処理回路とメモリと接続された請求項 17 記載のプログラム可能なロジックデバイスとからなるデジタル演算処理システム。

【請求項 23】 デジタル演算処理システムであって：演算処理回路と；前記演算処理回路と接続されたメモリと；演算処理回路とメモリと接続された請求項 19 記載のプログラム可能なロジックデバイスとからなるデジタル演算処理システム。

【請求項 24】 請求項 15 で定義されたプログラム可能なロジックデバイスを装着したプリント回路基板。

【請求項 25】 さらに、プリント回路基板上に装着され、メモリ回路と接続されたメモリを備える請求項 24 記載のプリント回路基板。

【請求項 26】 さらに、プリント回路基板上に装着され、メモリ回路と接続された演算処理回路を備える請求項 24 記載のプリント回路基板。

【請求項 27】 請求項 17 で定義されたプログラム可能なロジックデバイスが装着されたプリント回路基板。

【請求項 28】 プリント回路基板上に装着され、メモリ回路と接続されたメモリとからなる請求項 27 記載のプリント回路基板。

【請求項 29】 プリント回路基板上に装着され、メモリ回路と接続された演算処理回路を備える請求項 27 記載のプリント回路基板。

【請求項 30】 請求項 19 で定義されたプログラム可能なロジックデバイスを装着したプリント回路基板。

【請求項 31】 プリント回路基板上に装着され、メモリ回路と接続されたメモリを備える請求項 30 記載のプリント回路基板。

【請求項 32】 プリント回路基板上に装着され、メモ

リ回路と接続された演算処理回路を備える請求項 30 記載のプリント回路基板。

【請求項 33】 プログラム可能なロジックデバイスであって：複数のプログラム可能な領域を備え；前記複数のプログラム可能なロジック領域内部においてまたはその内外に信号を伝導する複数の導線を備え、この複数の導線はクロック信号を伝導するクロック導線を含み；クロック信号を生成する複数の位相ロックループ回路を備え、前記位相ロックループ回路のそれぞれがクロック入力を受けており、ここで：前記プログラム可能なロジックデバイスは前記各位相ロック回路にそれぞれ対応するクロック入力ピンを備え、これによって各位相ロックループ回路の前記クロック入力を駆動するための外部クロック信号入力を受信し；前記位相ロックループ回路の少なくとも第一の一つは前記クロック導線のうちの一つへの出力クロック信号を駆動する出力を有し；前記プログラム可能なロジックデバイスはさらに前記位相ロックループ回路のうちの第二のもののクロック入力上に少なくとも一つ一つのマルチプレクサを備え、前記クロック入力ピンのうちの少なくとも一つおよび前記クロック導線の一つからの信号を受信し、これによって、前記位相ロックループ回路のうちの第二の一つを駆動するために、

(a) 前記外部クロック信号の一つと (b) 前記位相ロックループ回路の前記少なくとも第一の一つの前記出力クロックとを選別するプログラム可能なロジックデバイス。

【請求項 34】 デジタル演算処理システムであって：演算処理回路と；前記演算処理回路と接続されたメモリと；演算処理回路とメモリと接続された請求項 33 記載のプログラム可能なロジックデバイスとからなるデジタル演算処理システム。

【請求項 35】 請求項 33 で定義されたプログラム可能なロジックデバイスを装着したプリント回路基板。

【請求項 36】 プリント回路基板上に装着され、メモリ回路と接続されたメモリを備える請求項 35 記載のプリント回路基板。

【請求項 37】 プリント回路基板上に装着され、メモリ回路と接続された演算処理回路を備える請求項 35 記載のプリント回路基板。

【請求項 38】 プログラム可能なロジックデバイスであって：複数のプログラム可能なロジック領域を備え；前記複数のプログラム可能なロジック領域内部においてまたはその内外に信号を伝導する複数の導線を備え、この複数の導線はクロック信号を伝導するクロック導線を含み；クロック信号を生成する複数の位相ロックループ回路を備え、前記位相ロックループ回路のそれぞれがクロック入力とフィードバック経路と少なくとも一つ一つの局部出力を備えており、この局部出力はそれぞれ局部遅延を有する局部クロックネットワークを駆動し、ここで：前記位相ロックループ回路の少なくとも一つは前記クロ

ック導線のうちの一つへの出力クロック信号を駆動する出力を有し、前記クロック導線のうちの前記一つは前記出力クロック信号を広域遅延を有することを特徴とする広域クロックネットワークに伝送し、前記位相ロックループ回路の前記少なくとも一つは：前記広域遅延を補償するための前記フィードバック経路内の第一の補償回路と、前記広域遅延と前記局部遅延との間の差に実質的に等しい遅延を提供する前記局部出力上の第二の補償回路とを備え；これによって、前記位相ロックループ回路の前記少なくとも一つが前記入力クロックを前記局部クロックネットワークおよび前記広域クロックネットワークに同時整合させるプログラム可能なロジックデバイス。

【請求項 39】 前記位相ロックループ回路が、さらに前記第二の補償回路をバイパスするバイパス線と；前記バイパス線と前記第二の補償回路との間においてプログラム可能に選択を行うためのプログラム可能な少なくとも一つのスイッチからなる請求項 38 記載のプログラム可能なロジックデバイス。

【請求項 40】 前記少なくとも一つのプログラム可能なスイッチが二つのマルチプレクサを含む請求項 39 記載のプログラム可能なロジックデバイス。

【請求項 41】 デジタル演算処理システムであって：演算処理回路と；前記演算処理回路と接続されたメモリと；演算処理回路とメモリと接続された請求項 38 記載のプログラム可能なロジックデバイスを備えるデジタル演算処理システム。

【請求項 42】 請求項 38 で定義されたプログラム可能なロジックデバイスを装着したプリント回路基板。

【請求項 43】 プリント回路基板上に装着され、メモリ回路と接続されたメモリを備える請求項 42 記載のプリント回路基板。

【請求項 44】 プリント回路基板上に装着され、メモリ回路と接続された演算処理回路を備える請求項 42 記載のプリント回路基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、プログラム可能なロジックデバイスに使用するために、PLL 回路を組み込んだ LVS インタフェースに関する。より具体的には、本発明は、高速にデータの移動を制御する PLL 回路を有する LVS インタフェースに関する。

【0002】

【従来の技術】プログラム可能なロジックデバイスは、既知である。一般にプログラム可能なロジックデバイスは、実質的に複数の同一ロジック素子を有し、それぞれはある要求されるロジック機能を実行するためにプログラムされることが可能である。ロジック素子は、プログラム可能であり、要求されるほとんど全ての配置の様々なロジック素子を使用者が相互接続するのを可能にする相互接続構造のアクセスを有する。最後に相互接続構造

はまたプログラム可能な相互接続構造ピンに接続する複数の入力/出力（「I/O」）ピンへのアクセスを提供する。

【0003】かつて前述のプログラム可能なロジックデバイスは、トランジスタートランジスタロジック（TTL）、すなわち論理「高位」信号が通常 5V であり、一方論理「低位」信号が通常接地電位ないし 0V であるロジックをほぼ排他的に使用して実行されていた。更に最近は、しかしながら LVTTL（低電圧 TTL）、PCI（周辺部品インタフェース）、SSTL（直列スタブロジック、幾つかの変種あり）、GTL（ガニング受受信ロジック）GTL+、HSTL（高速受受信ロジック、幾つかの変種あり）、LVDS（低電圧差動信号入出力）またはその他のように、異なる信号体系を使用するそれらの幾つかの他のロジックスタンダードが、一般に使用されるところとなっている。これらの信号体系の幾つかおよび好適には LVDS は、正確な動作と関係する精密な位相を伴った高周波クロック信号を必要とする。

【0004】装置上のクロック信号伝播において妨害「スキュー」および過大な遅延を回復するためにプログラム可能なロジックデバイス上の位相ロックループ回路を含むことは既知である（例えばジェファソンによる米国特許第 5699020 号公報およびレディ他による米国特許第 5847617 号公報、これらは共に全体的に参照として組み入れられる）。例えば位相ロックループ回路は、プログラム可能なロジックデバイスに適用されるクロック信号と関係して時間的に早められたクロック信号を生成するのに使用され得る。早められたクロック信号は、適用されるクロック信号から比較的距離のある装置の一部に伝播し、その結果早められたクロック信号の伝播遅延は、装置の距離のある部分に到達する際に適用される早められたクロック信号の同期に戻ってくる。このようにして装置の総ての部分は、同期したクロック信号を受信し、クロック信号「スキュー」（装置の異なる部分においての異なる量の遅延）は削減される。

【0005】しかしながら位相ロックループが正確なクロック信号源である一方、これらは一般に順応性の点および生成され得る周波数の絶対範囲の点において、供給可能な周波数内で制限される。このことは LVS インタフェースの動作速度を制約する。

【0006】正確な入力/出力タイミングの為の位相ロックループ回路を含むプログラム可能なロジックデバイスの LVS インタフェースを供給し得ることが望ましい。

【0007】

【発明が解決しようとする課題】本発明の目的は、正確な入力/出力タイミングの為の位相ロックループ回路を含むプログラム可能なロジックデバイスの為の LVS インタフェースの提供を試みることにある。

【0008】

【課題を解決するための手段】本発明によれば、複数の信号導線プログラム可能なロジックデバイスのための L V D S 入力が供給される。L V D S 入力は、入力 L V D S 信号および入力 L V D S 信号をシリアル列のデータビットを含むデータ信号へ変換する L V D S 差動入力ドライバとを受信する 1 対の入力端子を含む。シリアル列のデータビットを受信するためのシフトレジスタ入力を有する複数のシフトレジスタが提供され、各シフトレジスタはシフトレジスタ出力を有する。同数の第二のレジスタが提供され、その数の第二レジスタの各レジスタはシフトレジスタ出力の一つと対になった入力を有した信号導線の一つと対になったレジスタ出力を有する。入力位相ロックループ回路は、第一及び第二の入力クロック速度を有する第一及び第二のクロック信号を生成し、第一の入力クロック速度は第二の入力クロック速度の倍数であり、ここで倍数は先の数と等しい整数である。第一の入力クロック信号は、データビットのシリアル列を第一のシフトレジスタへシフトすることを制御し、第二の入力クロック信号は、第二のレジスタの入力から第二のレジスタの出力へのデータビットの整合を制御する。第二のクロック信号の各一サイクルにおいて、(a) シフトレジスタ出力によって第二のレジスタの入力へ並列に適合される前記倍数のデータビットの集合の存在は、信号導線上に並列に伝導するため第二のレジスタの出力へ登録され、また (b) 第一の入力クロック信号は、倍数の周期に亘って継続してシフトレジスタ内へ先の数のデータビットの新しい集合を記録し、そこでそれらは第二のレジスタの入力へ伝導される。

【0009】プログラム可能なロジックデバイスのための L V D S 出力インタフェースが提供され、所定数の第一レジスタを含み、その所定数の第一レジスタの各レジスタは信号導線の一つと対となった入力を有し、またレジスタの出力を有する。その所定数のシフトレジスタが提供され、またその所定数のシフトレジスタ内の各シフトレジスタはレジスタ出力の一つに結合された入力を有し、そのシフトレジスタはシリアル列のデータビットを提供するためにシフトレジスタ出力を有する。出力位相ロックループ回路は、第一および第二の出力クロック速度を有する第一および第二の出力クロック信号を生成する。第二の出力クロック速度は、第一の出力クロック速度の倍数であり、ここで倍率はその所定数に等しい整数である。L V D S 差動出力ドライバは、データビットのシリアル列を出力 L V D S 信号へ変換し、出力 L V D S 信号は一対の出力端子へ伝導される。第一の出力クロック信号は、第一のレジスタの入力からレジスタ出力へのデータビットの登録を制御し、ここでそのレジスタ出力はシフトレジスタの入力へ伝導される。第二の出力クロック信号は、データビットのシリアル列のようにシフトレジスタの外へデータビットをシフトすることを制御す

る。前記第一出力クロック信号の各一サイクルにおいて、(a) 第二の出力クロック信号は、倍数の周期で通過しデータビットのシリアル列のようにシフトレジスタの外へ複数のデータビットの集合を記録し、(b) 信号導体によって第一のレジスタ内へ前述のように伝導される複数のデータビットの集合の存在は第一レジスタのレジスタ出力へ登録され、複数のデータビットの新しい集合が信号導線により第一のレジスタの入力へ伝導される間、第一のレジスタはシフトレジスタへ並列に伝導される。

【0010】入力および出力位相ロックループ回路は、シフトレジスタチェーンと並列レジスタの集合間に選択された数のビットを記録されることを可能とする正確で同期したクロック信号を提供することにより高速 L V D S 動作を可能にする。シフトレジスタの内部または外部へシリアルにデータを測定することを制御するクロックが、シフトレジスタの内部または外部へ並列にデータを測定することを制御するクロックの正確な倍数でなければならぬことは、容易に理解される。シリアルクロックがあまりにも速く動作する場合は、次のデータの並列移動の前にシフトレジスタの内部または外部にシリアルデータの総てが記録されるわけではない。同様にシリアルクロックがあまりにも早く動作する場合は、次の並列移動が生じる前にシフトレジスタの内部または外部へ利用可能なより多くのデータを、システムは記録しようと試みる。入力側においてシステムが、プログラム可能なロジックデバイスへ並列に移動する準備ができる前にシフトレジスタの内部へ更に多くのデータを記録しようと試み、シフトレジスタ内でデータの一部分がすぐに記録され、失われる結果となる。同様に出力側においても出力データの流れが滑または誤ったデータを含むという結果を伴って、プログラム可能なロジックデバイスからシフトレジスタへ並列に移動する前に、システムはプログラム可能なロジックデバイスのシリアル出力を提供するシフトレジスタにより出力されるデータの記録を試みる。

【0011】本発明は、高速 L V D S インタフェースに特化した高速位相ロックループを基礎としたクロックを提供することによりこれらの問題を回避する。クロック信号は、L V D S データの使用に関連してそれらが要求される限界まで装置上のどこか異なる場所で提供されるが、クロックは一般的な使用を予定していない。他の位相ロックループを基礎としたクロックは、一般の使用を意図して提供される。これら他のクロックは、順応性があり、共に出願中で通常通り処理して付与された 1999 年 1 月 8 日提出済みの米国特許出願第 60/115238 号および 1999 年 8 月 4 日提出済みの米国特許出願第 09/366940 に記述されている。しかしながら、本発明に従うクロックは、これらのクロックと異なり、以下に記載の通り不正確さの基となり得るものを探

供する順応性のある部品を伴わずに正確に組み立てられて
いる。

【0012】本発明に従う位相ロックループを基礎としたクロック回路は、好適にはプログラム可能でロード可能である「Wによって分割される」フィードバックループ内のフィードバックスケールカウンタにより提供される。これはクロック回路が2つのクロック出力を供給することを可能にし、その第一の出力はより周波数が低く、第二の出力はより周波数が高く、低い周波数のW倍に等しく、以下に記載の通りに、あらかじめ決定したゼロでない位相シフトの有り無しにかかわらず、位相ロック関係をもって2つのクロック出力を伴う。Wが並列に転送されるデータのビット数（すなわち「ワード」サイズ）である場合、このことはクロックが実質的に完全に同期していない場合において生じ得るデータの損失を防ぐことにより、プログラム可能なロジックデバイスのロジックとシフトレジスタチェーンの間で並列にワードを転送するのにかかる時間内に、完全なワードが正確に高速クロックの制御下でシフトレジスタチェーンの入力または出力の内部または外部ヘシリアルに記録することを可能とする。

【0013】

【実施例】本発明のこれらおよびその他の対象、特徴ならびに利点は、添付の図面を参照しながら以下に記述する詳細な説明により明らかにされよう。ここで、同一の参照符号は同一の構成部品を示している。

【0014】図1は本発明の好適な実施例を組み入れたプログラム可能なロジックデバイス10の概観回路図を示す。装置10は電源バス部分11を含み、これは装置10の異なる部分のそれぞれの入力/出力群の異なる供給電圧を準備することを可能にし、詳細については、共に出願中の通常通り処理して付与された1999年1月8日提出済みの米国特許出願第60/115216号、および1999年8月4日提出済みの米国特許出願第09/366940号に記載され、これら全ては参照に組み込まれる。これらの組み込まれた出願での詳細な説明のとおおり、インタフェース12、13はLVDS（低電圧差動信号）入力を支え、一方インタフェース14、15はLVDS出力を支える。他のインタフェース（図示せず）は、他の信号回路を支える。

【0015】図1に見られる様に装置10は、好適には複数の位相ロックループ（「PLL」）回路を含む。PLL回路18、19、100、101、101（PLL0、PLL1、PLL2、PLL3によって同定する）は、好適には装置10によって一般的な使用と同様に、低速LVDS使用のために提供される。PLL回路18、19、100、101は、好適にはピン20と21、22、23、24と25、26と27それぞれにLVDS入力クロックを基礎として約1MHzと約400MHzの間の周波数を供給する。以下に更に詳細に記述するようにピ

ン20、22、24、26はまた標準入力クロックを受信可能であり、総てのクロック入力はそれぞれPLL28、29、200、201でバイパスされる。

【0016】PLL18と100は図2に回路図が示され、伝統的なPLL回路要素の総てを含み、位相/周波数検出器234、チャージポンプ235、ローパスフィルタ236、および伝統的なPLLの出力がこのPLLの出力であり、位相/周波数検出器234でフィードバックする電圧制御発振器237を含む。

【0017】PLLの作用で知られている通り、位相/周波数検出器234は、入力端子238からの入力クロック信号とVCO237からのフィードバッククロック信号とを受信し、入力クロック信号の位相が、フィードバッククロック信号の位相より進んでいるかまたは遅れているかに依存して、チャージポンプ235へ付加して「アップ」または「ダウン」出力信号パルスを作り出す。「アップ」または「ダウン」信号パルスは、位相/周波数検出器234により入力とフィードバッククロック信号との位相差に比例して典型的に制御される。チャージポンプ235は、Vcc（装置10の電源電圧）と接地間のレベルにおいて出力信号電圧への「アップ」または「ダウン」信号の転送機能を提供する。「アップ」または「ダウン」信号は、各クロックサイクルの間にチャージポンプの出力信号電圧を増加または減少するように移動させるために電荷を導出するように内部電流源を切り換える。

【0018】チャージポンプ235の出力信号は、ローパスフィルタ236へ印加し、ローパスフィルタ236は、電圧制御発振器（「VCO」）237と関連する制御信号として適用するための信号を平滑化する。要約すれば、入力クロック信号の位相がフィードバッククロック信号の位相より進んでいる際には、「アップ」信号が位相/周波数検出器234によって生成される。このことはフィードバッククロック信号の周波数を増大させる結果となる。逆に入力クロック信号の位相がフィードバッククロック信号の位相より遅れている際には、位相/周波数検出器234は「ダウン」信号を生成し、本信号はフィードバッククロック信号の周波数を減少させる。

【0019】PLL回路18、100においてVCO237は、好適には17個のタップs1、...、s17であり、いずれか一つがPLL18、100又は位相/周波数検出器234の出力として使用可能である。信号タップは、好適には実質的に均一な量の位相で互いに分割されており、詳細については、共に出願中の通常通り処理して付与された1999年1月8日提出済みの米国特許出願第60/115238号、および1999年8月4日提出済みの米国特許出願第09/366940号に記載されたとおりである。17個のタップそれぞれについては、好適にはフィードバックマルチプレクサ243同様に出力マルチプレクサ242へ供給し、その結果い

いずれか一つのタップは出力端子として選択されることが可能であり、いずれか一つの端子はフィードバックとして選択されることが可能である。

【0020】標準PLL機能性は、フィードバックおよび出力目的ともにタップs17に接続することにより達成される。しかしながら前記の参照に組み込まれた特許出願第60/115238号および同第09/366940号によれば、タップs1、...、s17のいずれか一つは出力として選択されることが可能であり、タップs1、...、s17のいずれか一つは位相/周波数検出器234へのフィードバックとして選択されることが可能である。出力のために選択されたタップがフィードバックのために選択されたタップの番号より低い番号のタップである際は、選択されたタップ間のタップの番号よりも多い位相遅延装置によって出力位相は入力位相の前にある。同様にフィードバックのために選択されたタップが出力のために選択されたタップの番号より低い番号のタップである際は、選択されたタップ間のタップの番号よりも多い位相遅延装置によって出力位相は入力位相の後ろにある。現実的な問題として、最大の位相遅延性のためにs1は、好適には常に選択されるタップの一つである。

【0021】PLL回路18、100は、好適には三つのプログラム可能な計測カウンタ239、240、241を含む前置計測カウンタ239は、好適にはプログラム可能でありまたロード可能であり、入力信号及び結局は如何なる出力信号も、周波数を分割する整数Nを伴う。フィードバック計測カウンタ240は、好適にはマルチプレクサ243から位相/周波数検出器234のフィードバック信号の周波数を分割する整数Mを付加することが可能であり、その結果出力信号はM倍となる。後置計測カウンタ241は、好適には出力信号の周波数を分割する整数Kを付加することが可能である。

【0022】こうして出力301において出力信号は、入力信号238のM/(NK)倍の周波数に等しい周波数で提供される。加えて後置計測カウンタ241は入力バスをもつ出力302において出力信号は、入力信号238のM/N倍の周波数に等しい周波数で提供される。バイパス出力302により提供される効果は、K=1と設定したものと同一であるが(実際にカウンタ239、240は設定をN=1またはM=1によって「バイパスされ」得る)、出力302は2つの異なる周波数の出力を有する選択肢を可能にする。出力301、302いずれも、入力信号と関係する同じ位相を有し、それらはVCO237のタップが上述のようにマルチプレクサ242、243により、接続されることによって決定される。

【0023】LVDS出力クロックCLK0は、ピン20および21において受信され、クロック信号203を生成するために異なる増幅器202を通して供給され、

入力のためPLL0へのクロック信号がマルチプレクサ204によって選択され、PLL018はマルチプレクサ205へ供給する。クロック信号203はまたバイパス28によってマルチプレクサ205へ直接供給される。こうしてマルチプレクサ205のプログラムすることによって決定されるように、クロック信号203は直接チップ幅のクロック導線G0へ供給されることが可能であり、またはPLL0によって最初に修正され得る(すなわちその周波数及び/または位相は上記で記述されるように変更され得る)、そしてそれで導線G0へ送り込まれ、一方バイパス出力302はチップ幅導線G1によって送り込まれる。ピン20はまたLVDSでない単一入力のクロック信号のために使用されることが可能であり、ここでピン20はマルチプレクサ204によって直接選択され導線G0を直接通過する。

【0024】同様にピン24、25において、LVDS入力クロックCLK2は、クロック信号213を生成するために差動増幅器212を通して送り込まれることが可能であり、クロック信号はPLL2100への入力のためにマルチプレクサ214によって選択され、PLL2はマルチプレクサ215を送り込む。クロック信号213は、またバイパス200によってマルチプレクサ215へ直接送り込まれる。こうしてマルチプレクサ215のプログラム作成によって決定される通り、クロック信号13はチップ幅クロック導線G2へ直接送り込まれ、またはPLL2100によって最初に修正されることが可能であり(すなわちその周波数および/または位相は前述のように変更され得ることが可能であり)、そしてそれで導線G2へ送り込まれ一方バイパス出力301はチップ幅導線G3へ送り込まれる。ピン24はまた非LVDS単一入力クロック信号のために使用されることが可能であり、この場合ピン24はマルチプレクサ214によって直接選択され導線G2を直接通過する。

【0025】PLL119とPLL3101、PLL018とPLL2100と同様であり、VCOからのフィードバックする場所において、それぞれ利用者がフィードバックFB0またはFB1を修正可能とするよう供給される場合を除きPLL018とPLL2100と接続して記述されるように働く。加えてマルチプレクサ222、223は、後計測の出力301またはバイパス出力302が外部クロック出力OUT0またはOUT1として供給されることを可能にする。

【0026】しばしば出力クロックOUT0およびOUT1は、利用者によって操作されることおよび、PLL119またはPLL3101のたためし使用者修正によるフィードバックを提供するためにFB0またはFB1で送りこむことが可能である。例えば使用者は、FB0またはFB1において遅延した出力クロックに送り込む前に、出力クロック(OUT0またはOUT1)において遅延224、225を差し込むことが可能である。特

に遅延 224、225は、プログラム可能なロジックデバイス 10が装着された完全なプリント回路基板のクロックネットワーク遅延があり得る。このようにして使用者は、プログラム可能なロジックデバイス 10内のクロックネットワーク遅延またはスキューだけでなく、プリント回路基板上の外側の装置 10または P L L 1 19または P L L 3 101が補償するために使用可能である。使用者は、フィードバック計測カウンタ 240を伴って P L L 周波数を増す能力をききめなければならないであろうが、外側の装置 10の遅延を償うための優位性を与えよう。

【0027】ピン 226と 227 (OUT0) または 228と 229 (OUT1) の出力クロックは、L V D S 差動信号であることが可能であり、この場合両導線 226、227または 228、229が使用され、または通常の信号においてこの場合、導線 226または 228のみを使用する。出力クロックが L V D S 信号である場合、ピン 230および 231 (F B 0) または 232および 233 (F B 1) にフィードバックする遅延 224からのフィードバック信号は、同様に L V D S 信号である。同様に、出力クロックが L V D S 信号でない場合は、遅延 224、225からのフィードバック信号は通常の信号であり、ピン 230または 232はフィードバック信号の受信に使用される。

【0028】位相ロックループ回路 16、17 (P L L 4および P L L 5で同定) は、高速 L V D S 適用に使用するために設計され、本発明に従い P L L 回路を専門化されている。

【0029】P L L 回路 16、17は、P L L 回路 18、19に類似しており、位相/周波数検出器 234、チャージポンプ 235、ローパスフィルタ 236および V C O 237を有し、位相/周波数検出器 234へフィードバックする。加えて各 P L L 回路 16、17は、カウンタ 240に類似したロード可能なフィードバック計測カウンタ 244を有するが、整数 W (整数 M よりむしろ) を付加可能であり、その目的は以下において明らかにされる。

【0030】P L L 回路 16、17は、以下に記述するように P L L 回路 18、19、100、101を構成する間接部分の幾つかを削減することにより少なくとも約 62.2 M H z までの超短波演算に最適化されており、高速 L V D S インタフェースの演算を可能にする。たとえば、前計測 (N によって分割) および後計測 (K によって分割) の除去が間接部分の削減であり高速を可能とする。加えて、フィードバック計測カウンタ 244 (W によって掛算する) は、フィードバック計測カウンタ 240の場合に $M_{max} = 256$ に最適化され、 $W_{max} = 8$ までロードされることが可能である。W の最大値の制限は、高速の演算を可能にするのであるが、高速 L V D S データ転送 (以下に記載) において通常最大「ワー

ド」長は 8 であるため高速動作が可能である。加えてローパスフィルタ 236' は、フィルタ 236 の容量と比較して約 50% フィルタ 236' の容量の大きさを削減によって第一の応答時間が修正される。さらに P L L 回路 18、19、100、101 と異なる P L L 回路 16、17 は、マルチプレクサ 242、243 (V C O 237 の選択する異なるタップによって比較位相を調節する他の回路を使用し) の間接部分を持たず、V C O 237' は V C O 237 の 17 段ではなくむしろ 5 段のみを有しており、ここでさらに P L L の性能を改善する。最後に P L L 回路 16、17 は、チップ幅クロックネットワークよりもむしろ L 4、L 5 によって表現される局所の L V D S クロックネットワークのみを駆動が必要である。これは、速度を制限する遅延とロードいずれをも削減する。

【0031】マルチプレクサ 242、243 が特別な V C O タップの選択を可能にする P L L 回路 18、19、100、101 のように、P L L 回路 16、17 の入力および出力クロック間の位相差のプログラム可能な選択はないが、決定前の位相差は組立時に選択されることが可能である。

【0032】W 倍されたクロック出力 245 は、それぞれ局所のクロック線 L 4、L 5 に伝導される。全体クロック G 0、G 2 は局所クロック 41、31 を段階的に実行するが、より低速クロック出力 246 は、図 4、図 3 の 41、31 で見られるように局所に利用可能であり、またそれぞれ広域のクロック線 G 0、G 2 に伝導される。これは P L L 回路 16、17 が、そしてそれは一度に一つの遅延のみを補償するよう調整されることが可能であるが、広域クロックネットワークの遅延よりもむしろ局所 L V D S クロックネットワーク L 4、L 5 の遅延を補償するために調整される。

【0033】しかしながら図 2A は、もう一つの P L L 回路 617 の好適な実施例を示し、それは同時に二つの遅延を補償するために修正されることを除けば、P L L 回路 17 に似ている。P L L 回路 17 同様 P L L 回路 617 は、位相/周波数検出器 634 (位相/周波数検出器 234 同様) に送り込む入力 631 を有し、検出器はチャージポンプ 635 (チャージポンプ 235 同様)、ローパスフィルタ 636 (ローパスフィルタ 236 同様) そして V C O 637 (V C O 237 同様) に順番に送り込まれる。V C O 637 の出力は、フィードバック計測カウンタ 644 (フィードバック計測カウンタ 244 同様) を通して、600 において位相/周波数検出器 634 へフィードバックする。P L L 回路 617 が、広域のネットワークの遅延を補償する場合は、広域補償回路 601 は、また出力 604 において広域補償を供給するマルチプレクサ 603 によって切り換えられてフィードバックループへ供給される。

【0034】広域補償回路 601 が使用されている場合

は、VCO637の出力605は広域遅延によって入力631の前にある。局部の補償を提供するバッファ606は、広域遅延と局部遅延との間の差へ等しい遅延を提供するために出力605に含まれ、その結果出力607は局部の遅延のために正確に補償される。利用者が遅延601を切り換える場合、広域の補償は604において利用可能であり、一方局部の補償は607において利用可能である。遅延601が切り替わらない場合、局部補償は605において利用可能である。もう一つの(図示せず)マルチプレクサ602、603は、省略されることが可能であり、その結果広域補償は常に604において供給され、局部補償はつねに607において供給され、そして利用者は出力が必要でないものを単純に無視することができる。

【0035】上記議論はフィードバックカウンタ644は、無視できる遅延を有していると仮定している。もう一つの遅延は、バッファ606で提供される補償において考慮される。フィードバック計測カウンタ644の遅延は、広域補償601が使用されている場合にバッファ606内に補償を提供するのに十分重要である場合において、広域補償601が使用されていない際にさえ、補償されるべきである。そのゆえ単体のバッファ606の代わりに、二つの異なるバッファ(図示せず)はカウンタ644の遅延のみの補償、および上記(カウンタ644の遅延が修正される)のように広域、および局部の遅延間の差を等しくする遅延を供給することが、広域補償601が使用されるかどうかに依存して、プログラム可能で選択可能に修正するバッファ(図示せず)を伴って提供され得る。

【0036】PLL回路617がPLL回路17の修正として示される一方で、同じ修正が二つの異なる遅延の補償を可能とする、プログラム可能なロジックデバイス10のいずれかのPLL回路になされ得ることは、注意されるべきことである。

【0037】LVD5入力30の好適な実施例を図3に示す。インタフェース30は、好適にはLVD5入力ドライバ34から33において、シリアル入力データの流れ内で好適にデータを受信し、8ビットシフトレジスタチェーン32を伴って最大ワード長8のために設計され、ここで好適には順番に入力35および36からの入力データを受信する。しかしながら入力30は、異なる最大ワード長に適合させるため異なる長さのシフトレジスタチェーンを伴いまた設計され得る。シフトレジスタチェーン32は、好適には「W倍された」クロックL5のPLL517からの出力によって37において記録される。PLL517は、好適にはピン24と25上のLVD5クロックとしての入力であるCLK2から31において入力クロック信号を受信する。以下の明らかな理由のために8ビットシフトレジスタチェーンの提供は、Wは8までのいかなる整数でもあり得る。

【0038】シフトレジスタチェーン32の各レジスタは、好適には8個の並列レジスタが接続された出力を有する。各レジスタ38は、順番に好適にはプログラム可能なロジックデバイス10の信号導線303上の各ドライバ300によって駆動される登録された出力39を有する。レジスタ38の登録された出力39データの整合は、好適にはPLL517からの増加しないクロック246の出力に制御される。

【0039】クロック246の1周期においてクロック37は、W周期で受ける。従って、クロック246のその一周期においてWビットは、シリアル入力データの流れにおいてシフトレジスタチェーン32内に記録され、その時にクロック246は他の周期を経験し、シフトレジスタチェーン32内のデータは、導体303上の並列に駆動されるレジスタ39の出力に並列に登録される。Wが8より大きい場合に、システムがクロック246の一周期でチェーン内のレジスタよりシフトレジスタ32内の多くのビットを記録しようと試みすることは明らかであり、すなわちデータが失われる。Wは8以下でもあり得るが、インタフェース30が8個のシフトレジスタより構成されているため、システムは全周期からのシフトレジスタチェーン内に残されたビットを、無視しなくてはならないことを意味する。このことはシフトレジスタ32内の、「残された」データと一致するこれらのレジスタ39内のデータを使用せずに、プログラム可能なロジックデバイス10をプログラムすることにより、成し遂げることが可能となる。例えばW=5の場合、装置10は残りの三つのレジスタ39を使用せずにプログラムされることが可能である。

【0040】LVD5出力40の好適な実施例を図4に示す。インタフェース40は、好適にはLVD5出力ドライバ44へ43において、シリアル出力データの流れでデータを出す8ビットシフトレジスタチェーン42を伴って最大ワード長8に設計されており、ここで順番に端子45および46でデータを出力する。しかしながらインタフェース40は、異なる最大ワード長に適合させるために、異なる長さのシフトレジスタチェーンに設計することもできる。シフトレジスタチェーン42は、好適にはPLL416からの「W倍された」クロックL4出力によって、47において記録される。PLL416は、ピン20および21上のLVD5クロックとしての入力であるCLK0からの41における入力クロック信号を受信する。入力30の場合において、出力40の8ビットシフトレジスタチェーンの供給は、Wが8までのいかなる整数であることも可能であることを意味する。

【0041】シフトレジスタチェーン42内の各レジスタは、好適には8個の並列レジスタ48の、一つのレジスタ出力49と接続された入力を受有する。各レジスタ48は、好適には以下のプログラム可能なロジックデバイ

ス10の、導線401上のデータによって駆動される入力400も有する。利用者がプログラムすることに従い、各導体401上のデータの真数または補数は、好適には各マルチプレクサ402によって選択される。各マルチプレクサ402は、好適には一つの出力404上でレジスタ入力400を駆動するマルチプレクサ403を駆動する(各マルチプレクサ403は、好適にはプログラム可能なロジックデバイス10の他の回路を駆動するために選択されることが可能である出力405を有する)。レジスタ48の出力49の、データの整合がPLL416から乗算しないクロック出力246によって制御される。

【0042】クロック246の一周期でクロック47は、W周期を経る。従ってクロック246の一周期においてWビットはシリアル出力データの流れ内でシフトレジスタチェーン42へ記録され、その時点でクロック246は他の周期であり、データが次の出力周期の間並列に転送されるために、レジスタ48の入力400上のデータはシフトレジスタ42内のシフトレジスタの入力に接続される出力49に記録される。Wが8以上の場合には、システムはクロック246の一周期でチェーン内のレジスタよりも、シフトレジスタチェーン42の外のより多くのビットを記録しようとする結果、出力シリアルデータの流れにギャップがあることは明らかである。出力40の場合入力30と異なり、好適にはWが8以下の際、シフトレジスタチェーン42内に「残された」ビットは無く、というもシステムは、好適にはレジスタ48内にWビットのみをロードするように利用者によってプログラムされており、その結果シフトレジスタチェーン42内のWシフトレジスタのみがデータを受信し、その総ては一周期で記録される。利用者が誤ってレジスタ48のW以上のデータをロードするように装置10にプログラムした場合は、それらのデータはシフトレジスタ42へ転送されるが、シフトレジスタ42へは記録されず、Wビットのみが記録されるからである。残ったビットは、次のWビットがシフトレジスタ42内に並列に転送されて上書きされる。

【0043】最後に出力40の場合に乗算されないクロック246は、ピン226および227上の、出力クロックOUT0の一つの可能性として、マルチプレクサ222において利用可能とされる。このことは、利用者がLVD S受信機に同期してクロック246を使用することを可能にし、データの流れを作り出すのに使用されたクロックで装置10のLVD S出力データの流れ(端子45、46)が送信される。入力30の内部クロックで同じことをする理由はなく、というも入力30の外側でそれを利用することは無いからである。すなわち、クロックネットワークL4、L5は独立であって同期する必要はない。

【0044】好適な実施例において、W=7および乗算

しないクロック速度は6MHzであり、その結果乗算クロック速度は462MHzである。他の好適な実施例では、W=8および乗算しないクロック速度は77.75MHzであり、その結果乗算クロック速度は622MHzである。これらの例はLVD S信号プロトコルのための、公表された標準と一致する。

【0045】本発明の別の見地に従えば、図2を参照してPLL回路16のクロック入力41は、マルチプレクサ247を通してPLL回路16へ到達し、これはクロック入力41のようにピン20および21上のLVD S入力クロックだけでなく、広域クロックG1、G2、G3の選択を可能にする。これは使用者のプログラム可能な制御のもとで(a)他のPLLと縦に接続される、

(b)外部クロック(ピン20、21)によって直接駆動される、(c)導線29、200、201、マルチプレクサ215(その同等のもの)および広域クロック導体の一つ(この選択肢は総てのクロックピンが縦接続無しでPLL回路16を駆動することを可能にする)をバイパスしてピン22および23、24および25または26および27のひとつから外部クロックによって駆動することを可能にする。同じ機能性は、装置10の(図示されていない)PLL回路のいずれかまたはすべてから供給される。このことは使用者の融通自在性をより大きくする。

【0046】図5は、データ処理システム500で本発明に従って配置されるプログラム可能なI/O回路、20または40を組み込んだプログラム可能なロジックデバイス10を示す。データ処理システム500は、以下の部品をつつまたはそれ以上含むことが可能であり：プロセッサ501；メモリ502；I/O回路503；周辺装置504である。これらの部品は、システムバス505によって互いに連結されており、最終使用者のシステム507内に含まれる回路基板506上に配置される。

【0047】システム500は、コンピュータネットワーク、データネットワーク、計測、画像処理、デジタル信号処理、またはプログラム可能な、または再プログラム可能なロジックの優位性が必要とされている他のいかなる用途、幅広い様々な用途に使用されることが可能である。プログラム可能なロジックデバイス10は、異なるロジック機能の多様性を実行するために使用されることが可能である。例えばプログラム可能なロジックデバイス10は、プロセッサ501と協調して作用するプロセッサ、または制御装置として配置されることが可能である。プログラム可能なロジックデバイス10はまた、システム500で分配された資源へのインタフェースを仲載する仲載器として使用され得る。また他の例ではプログラム可能なロジックデバイス10は、プロセッサ501とシステム500の、他の部品の一つの間のインタフェースとして配置されることが可能であ

る。システム 500 は代表例であり、そして本発明の真の目的と精神は、特許請求の範囲によって定義されていることに注意すべきである。

【0048】様々な技術を使用して、LVDS インタフェースの様々な部品同様、この発明に従ってプログラム可能なロジックデバイス 10 が LVDS インタフェース 30、40 を用いる手段を達成することが可能である。さらに本発明は一回のみのプログラム可能、及び再プログラム可能な装置の両方に適用可能である。

【0049】従って LVDS インタフェースは、正確なインタフェースタイミングのために位相ロックループ回路を含むのであるが、プログラム可能なロジックデバイスが提供されることがわかる。当業者においては、本発明は前述の実施例以外によっても実行し得るものであり、これは説明の目的のために示されたものであり、これに限定されるものではないことが理解されよう。

【図面の簡単な説明】

【図 1】本発明の LVDS インタフェースを組み入れた、プログラム可能なロジックデバイスの好適な実施例の回路図である。

【図 2】LVDS インタフェースの位相ロックループ回路を示す、図 1 のプログラム可能なロジックデバイスのより詳細な回路図である。

【図 2A】図 1 と図 2 のプログラム可能なロジックデバイスの一部の、もう一つの好適な実施例の拡大図である。

【図 3】本発明の LVDS 入力回路の好適な実施例の回路図である。

【図 4】本発明の LVDS 出力回路の好適な実施例の回路図である。

【図 5】本発明に従って、LVDS インタフェースを組み込んだプログラム可能なロジックデバイス使用の、実例となるシステムの簡単なブロックダイヤグラムである。

【符号の説明】

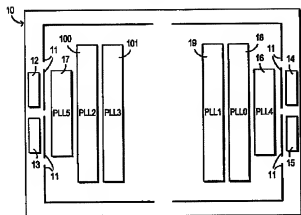
- 10 ロジックデバイス
- 11 電源バス部分
- 12、13、14、15 インタフェース
- 16、17、18、19、28、29、100、101、200、201 位相ロックループ回路
- 20、21、22、23、24、25、26、27 ビン
- 30 LVDS 入力
- 31、41 局部クロック
- 32、42 8ビットシフトレジスタチェーン
- 33、34 LVDS 入力ドライバ
- 35、36 入力
- 37、47 クロック
- 38 レジスタ
- 39 出力

- 40 LVDS 出力
- 43、44 LVDS 出力ドライバ
- 45、46 端子
- 48 並列レジスタ
- 49 レジスタ出力
- 29、200、201 導線
- 202 増幅器
- 203 クロック信号
- 204、205、214、215、220、221、222、223、242、243、247 マルチプレクサ
- 212 差動増幅器
- 213 クロック信号
- 224、225 遅延回路
- 226、227、228、229、230、231、233 ビン
- 234 位相/周波数検出器
- 235 チャージポンプ
- 236、236' ローパスフィルタ
- 237、237' VCO
- 238 入力端子
- 239、240、241 計測カウンタ
- 244 フィードバック計測カウンタ
- 245 クロック出力
- 246 低速クロック出力
- 300 ドライバ
- 301 出力
- 302 バイパス出力
- 303 信号導線
- 400 入力
- 401 導体
- 402 マルチプレクサ
- 403 デマルチプレクサ
- 404 出力
- 405 出力
- 500 データ処理システム
- 501 プロセッサ
- 502 メモリ
- 503 I/O 回路
- 504 周辺装置
- 505 システムバス
- 507 システム
- 506 回路基板
- 600 導線
- 601 広域補償回路
- 602、603 マルチプレクサ
- 604、605 出力
- 606 バッファ
- 607 出力
- 501 617 PLL 回路

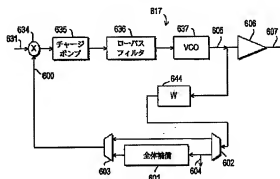
- 631 入力
634 位相/周波数検出器
635 チャージポンプ
636 パスフィルタ
637 VCO
644 フィードバック計測カウンタ

- * G0、G1、G2、G3 クロック導線
L4、L5 局所のLVDSクロックネットワーク
CLK0、CLK1、CLK2、CLK3、LVDS
クロック入力
FB0、FB1 フィードバック
* OUT0、OUT1 外部クロック出力

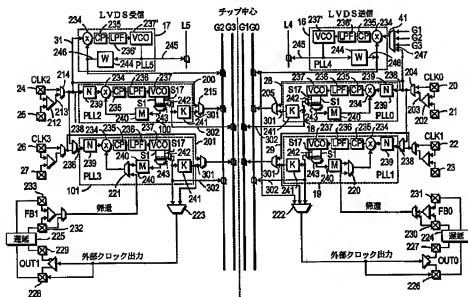
【図1】



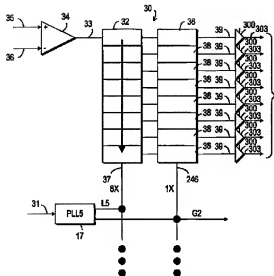
【図2A】



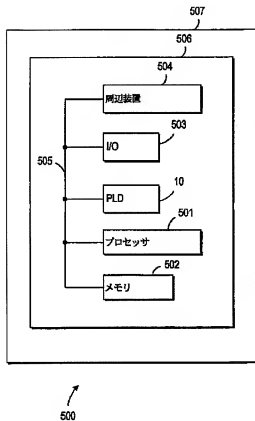
【図2】



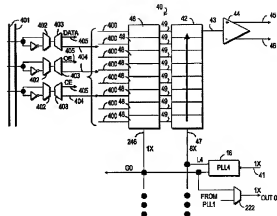
【図 3】



【図 5】



【図 4】



フロントページの続き

(51)Int.Cl.⁷

H 0 4 L 25/40

識別記号

F I

H 0 3 L 7/08

テーマコード(参考)

K

(72)発明者 ボニー アイ ワング
 アメリカ合衆国、カリフォルニア 95134、
 サン ホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーシ
 ヨン

(72)発明者 リチャード ジー クリフ
 アメリカ合衆国、カリフォルニア 95134、
 サン ホセ、イノベーション ドライブ
 101、ケアオブ アルテラ コーポレーシ
 ヨン